



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0064768  
Application Number

출원 년 월 일 : 2002년 10월 23일  
Date of Application OCT 23, 2002

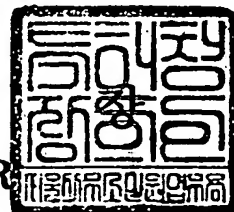
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.23
【발명의 명칭】	플로팅 게이트의 전하 손실을 막을 수 있는 비휘발성 메모리 장치 및 그 제조방법
【발명의 영문명칭】	NON-VOLATILE MEMORY DEVICE TO PROTECT FLOATING GATE FROM CHARGE LOSS AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이육형
【성명의 영문표기】	LEE, WOOK HYOUNG
【주민등록번호】	661003-1261211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골8단지아파트 806동 1003호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 12 면 12,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 18 항 685,000 원

【합계】 726,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

플로팅 게이트의 전하 손실을 막을 수 있는 비휘발성 메모리 장치 및 그 제조방법이 개시된다. 기판 상에 서로 평행한 다수의 플로팅 게이트 라인들을 형성한다. 상기 플로팅 게이트 라인들 사이의 기판을 식각하여 트렌치를 형성하고, 상기 트렌치 및 상기 플로팅 게이트 라인들 사이의 갭(gap)에 소자 분리를 위한 갭필 절연막을 형성한다. 상기 갭핑 절연막에 이동성 양이온을 게더링하기 위하여 불순물을 이온주입한다. 상기 불순물 이온 주입은 인(P)을 사용하며, 이온주입의 투사범위( $R_p$ )는 상기 플로팅 게이트 라인의 인접부분에 위치하도록 하여 상기 갭필 절연막을 통하여 플로팅 게이트로 침투하는 이동성 양이온을 게더링하도록 한다.

**【대표도】**

도 2c

**【색인어】**

트렌치, 비휘발성, 플로팅 게이트, 콘트롤 게이트, 전하 보존 성능

## 【명세서】

## 【발명의 명칭】

플로팅 게이트의 전하 손실을 막을 수 있는 비휘발성 메모리 장치 및 그 제조방법  
 {NON-VOLATILE MEMORY DEVICE TO PROTECT FLOATING GATE FROM CHARGE LOSS AND METHOD FOR  
 FABRICATING THE SAME}

## 【도면의 간단한 설명】

도 1a 및 도 1b는 NOR형 구조의 셀을 나타내는 평면도 및 등가회로도,

도 2a 내지 도 2j는 본 발명의 제1 실시예에 따른 NOR 형의 비휘발성 메모리 장치  
 의 제조방법을 나타내는 단면도들,

도 3은 본 발명의 제2 실시예에 따른 비휘발성 메모리 장치의 제조방법을 나타내는  
 단면도,

도 4는 본 발명의 제3 실시예에 따른 비휘발성 메모리 장치의 제조방법을 나타내는  
 단면도,

도 5는 본 발명의 제4 실시예에 따른 비휘발성 메모리 장치의 제조방법을 나타내는  
 단면도이다.

\*도면의 주요 부분에 대한 부호의 설명

2 : 기판

4 : 터널절연막

8 : 연마저지막

12 : 캡필절연막

18 : 하드마스크막

22 : 플로팅 게이트

28: 게이트간 절연막

34 : 워드라인

40 : 콘택

42 : 비트라인

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 비휘발성 메모리 장치 및 그 제조방법에 관한 것으로, 특히 플로팅 게이트의 전하 손실을 막을 수 있는 비휘발성 메모리 장치 및 그 제조방법에 관한 것이다.

<13> 비휘발성 메모리 장치에서 데이터는 전기적 전하(electrical charge)가 플로팅 게이트에 축적됨으로써 저장된다. 예를 들면, n-채널 EEPROM(Electrically Erasable and Programmable Read Only Memory)에서는 플로팅 게이트에 전자가 축적됨으로써 트랜지스터의 문턱전압이 변하게 된다.

<14> 이러한 비휘발성 메모리 장치의 신뢰성 평가 기준으로는 외부 환경 변화에 대하여 문턱전압을 유지하는 기능(endurance)과 플로팅 게이트에 전하를 보존하는 기능(charge retention)이 있다. 전자는 주로 전하의 터널링 과정에서 발생하는 터널 산화막의 열화에 따라 그 기능이 약화된다. 후자는 플로팅 게이트를 둘러싸는 절연막의 결함으로 인한 전하 손실 및 이동성 양이온과 같은 외부 오염원에 의하여 그 기능이 약화된다. 즉, 플로팅 게이트를 둘러싸는 절연막에 위치하는 양이온(예컨대 수소 이온)이 플로팅 게이트로 확산하여 플로팅 게이트에 축적된 전자들과 결합함으로써 플로팅 게이트에서는 전하의 손실이 발생하며, 이는 비휘발성 메모리 장치의 전하 보존 성능(charge retention capability)을 저하시킨다.

- <15> 이러한 전하 보존 성능의 저하를 방지하기 위해서는 비휘발성 메모리 장치를 제조하는 공정 단계에서 오염을 줄이는 것이 중요하며, 이에 더하여 플로팅 게이트 주변의 절연막을 통하여 플로팅 게이트로 들어오는 이동성 양이온(예컨대,  $H^+$ ,  $K^+$ ,  $Na^+$  등)의 침투를 막는 방법이 필요하다. 특히, 소자의 크기가 줄어들면서 문턱전압을 변화시키는데 필요한 전하의 개수가 줄어들게 됨에 따라, 플로팅 게이트 주변의 이동성 양이온에 의한 전하 보존 성능 약화는 중요한 문제이다.
- <16> 이동성 양이온의 침투를 막는 방법으로는 플로팅 게이트 주변에 장벽막을 형성하는 방법과 플로팅 게이트 주변의 절연막을 양이온 트랩(trap) 성질을 갖는 수소 게터링층을 사용하는 방법이 있다. 수소 게터링층은 PSG(Phosphorus doped Silicate Glass)막, BPSG(Boron-Phosphorus doped Silicate Glass)막, PTEOS(Phosphorus doped TetraEthyl OrthoSilicate) 증착 산화막, BPTEOS(BoroPhosphorus doped TetraEthyl OrthoSilicate) 증착 산화막과 같은 인(P)이 도핑된 막으로 형성한다. 수소 게터링층 내의 인(P)은 게터링(gettering) 효과가 우수하여 이동 이온을 포획함으로써 이동 이온이 플로팅 게이트로 침투되는 것을 막는 역할을 한다.
- <17> 비휘발성 메모리의 전하 손실을 감소시키기 위하여 게이트 형성 후에 수소 이온이 플로팅 게이트로 확산되는 것을 방지하는 장벽층을 형성하는 방법으로는 미국특허공보 제6,287,916호에 "METHOD FOR FORMING A SEMICONDUCTOR DEVICE USING LPCVD NITRIDE TO PROTECT FLOATING GATE FROM CHARGE LOSS"라는 제목으로 개시된 바 있다.
- <18> 비휘발성 메모리의 전하 손실을 감소시키기 위하여 게이트 형성 후에 수소 게터링층을 P-도핑막으로 증착하고, 이어서 수소 함량이 낮은 장벽층을 형성하고 인을 이온주입하는 방법으로는 미국특허공보 제5,940,735호에 "REDUCTION OF CHARGE LOSS IN

NONVOLATILE MEMORY CELLS BY PHOSPHORUS IMPLANTATION INTO PECVD NITRIDE/OXYNITRIDE FILMS"라는 제목으로 개시된 바 있다.

<19> 한편, 비휘발성 메모리 장치에서 집적화가 진행되면서 소자 격리를 위하여 LOCOS(LOCAl Oxidation of Silicon) 공정 대신에 STI(Shallow Trench Isolation) 공정이 사용되고 있다. LOCOS 공정에서는 활성영역을 한정하는 필드영역이 열산화막으로 형성하는데 반하여, STI 공정에서는 트렌치를 갭필(gap-fill)하는 CVD(Chemical Vapor Deposition) 산화막을 사용하고 있다. 이러한 갭필(gap-fill)산화막은 열산화막과 대비하여 밀도가 적은 다공성(porous) 물질로써 다량의 양이온을 포함한다. 갭필 산화막이 포함하는 양이온은 트렌치를 갭필(gap-fill)하고 CMP(Chemical Mechanical Polishing) 공정을 진행하면서 발생한 양이온일 수 있으며, 또는 메탈 콘택을 형성할 때 발생한 양이온일 수 있다. 결국, 다양한 원인으로 인하여 발생한 양이온이 트렌치의 갭필 산화막을 전달 매개체로하여 플로팅 게이트로 침투하여 전하를 손실하게 하여 전하 보존 성능을 저하시킨다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 다양한 원인으로 발생한 양이온들이 트렌치의 갭필 산화막을 통하여 플로팅 게이트로 침투하는 것을 억제할 수 있는 비휘발성 메모리 장치 및 그의 제조방법을 제공하는데 목적이 있다.

#### 【발명의 구성 및 작용】

<21> 상기 목적을 달성하기 위하여, 본 발명은 트렌치의 갭필(gap-fill) 절연막의 성질을 변화시켜 이동성 양이온이 갭필 산화막을 통하여 플로팅 게이트로 침투하는 것을 억



제한다. 이를 위해서 갭필 산화막에 인(P) 이온 주입을 실시하여 양이온의 트랩 사이트(trap site)를 형성한다.

<22> 상세하게는, 본 발명의 비휘발성 메모리 장치의 제조방법은 기판 상에 서로 평행한 다수의 플로팅 게이트 라인들을 형성한다. 이어서, 상기 플로팅 게이트 라인들 사이의 기판을 식각하여 트렌치를 형성하고, 상기 트렌치 및 상기 플로팅 게이트 라인들 사이의 갭(gap)에 소자 분리를 위한 갭필 절연막을 형성한다. 이어서, 상기 갭핑 절연막에 이동성 양이온을 게더링하기 위하여 불순물을 이온주입한다. 상기 불순물 이온 주입은 인(P)을 사용하며, 이온주입의 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절한다. 이온주입의 투사범위(Rp)는 상기 플로팅 게이트 라인의 인접부분에 위치하도록 하여 상기 갭필 절연막을 통하여 플로팅 게이트로 침투하는 이동성 양이온을 게더링하도록 한다. 이어서, 상기 플로팅 게이트 라인 및 상기 갭필 절연막 상에 게이트간 절연막을 개재한 도전막을 형성하고, 상기 도전막 및 상기 플로팅 게이트 라인을 패터닝하여 워드라인 및 상기 워드라인에 자기정렬된 플로팅 게이트를 형성한다.

<23> 또한, 본 발명에 따른 비휘발성 메모리 장치는 기판에 활성영역들 정의하는 트렌치 필드영역이 배치된다. 상기 활성영역의 소정영역 상에 플로팅 게이트가 배치되며, 상기 플로팅 게이트 및 상기 트렌치 필드영역을 워드라인이 가로지른다. 상기 플로팅 게이트에 인접하는 상기 트렌치 필드영역에는 인(P)으로 이온주입 되어 형성된 게더링층이 형성되어 있다.

<24> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

- <25> 본 발명의 실시예에서는 NOR 형 구조를 갖는 비휘발성 메모리 장치의 제조방법에 관한 것이지만, NAND 형 구조를 갖는 비휘발성 메모리 장치에서도 본 발명이 적용될 수 있음은 당업자에게 자명하다.
- <26> 도 1a는 NOR형 구조의 셀을 나타내는 평면도이며, 도 1b는 이에 대한 등가회로도이다.
- <27> 도 1a를 참조하면, 활성영역을 정의하는 필드영역(12)이 배치된다. 활성영역의 소정 영역에는 플로팅 게이트(22)가 배치된다. 상기 활성 영역 및 상기 플로팅 게이트(22) 사이에는 터널 절연막이 개재되어 있다. 상기 플로팅 게이트(22)는 상기 필드영역(12)과 일부 중첩(overlap)되어 있다. 상기 플로팅 게이트(22) 및 필드영역(12) 위를 가로지르는 워드라인(34)이 배치되어 있으며, 상기 워드라인(34)이 상기 플로팅 게이트(22)를 가로지르는 영역은 트랜지스터의 콘트롤 게이트가 된다. 상기 플로팅 게이트(22)와 상기 콘트롤 게이트 사이에는 게이트간 절연막이 개재되어 있다. 상기 워드라인(34)의 양 측면의 활성영역은 불순물이 이온주입되어 소오스 영역(36) 및 드레인 영역(38)이 배치된다. 상기 드레인 영역(38)에는 상기 워드라인(34)과 수직하여 형성된 비트라인(42)과 연결되는 콘택(40)이 배치된다. 도면부호 '35'는 공통 소오스를 형성하기 위한 마스크 패턴을 나타낸다.
- <28> 이하, 본 발명의 바람직한 실시예에 따른 NOR 형의 구조를 갖는 비휘발성 메모리 장치의 제조방법을 설명한다.
- <29> 도 2a 내지 도 2j는 본 발명의 제1 실시예에 따른 NOR 형의 비휘발성 메모리 장치의 제조방법을 나타내는 단면도들이다. 도면부호 'A'는 도 1a의 평면도를 I-I'로 취한 y

축 단면도를 나타내며, 도면부호 'B'는 도 1a의 평면도를 II-II'로 취한 x축 단면도를 나타낸다.

<30> 도 2a를 참조하면, 기판(2) 상에 터널 절연막(4), 하부 플로팅 게이트 도전막(6), 및 연마저지막(8)을 차례대로 적층한다. 상기 터널 절연막(4)은 실리콘 산화막으로 형성할 수 있으며, 상기 하부 플로팅 게이트 도전막(6)은 폴리실리콘막으로 형성할 수 있으며, 상기 연마저지막(8)은 실리콘 질화막(SiN)으로 형성할 수 있다. 상기 연마저지막(8), 상기 하부 플로팅 게이트 도전막(6) 및 터널 절연막(4)을 상기 기판(2)의 표면을 노출될 때까지 선택적으로 식각하여 하부 플로팅 게이트 라인(6)을 형성한다. 상기 하부 플로팅 게이트 라인(6)은 도면에서 도시된 바와 같이 y축에 평행한 라인이다. 계속하여 상기 하부 플로팅 게이트 라인(6) 사이의 기판(2)을 식각하여 트렌치(10)를 형성한다. 즉, 한 번의 사진 식각 공정으로 하부 플로팅 게이트 도전막(6)을 패터닝함과 동시에 소자 격리를 위한 트렌치(10)를 형성한다.

<31> 도 2b를 참조하면, 상기 트렌치(10)를 충분히 채우며 상기 연마저지막 패턴(8)의 상부를 덮는 갭필(gap-fill) 절연막을 적층한다. 상기 갭필 절연막은 화학기상 증착법을 사용하여 산화막으로 형성할 수 있다. 이어서, CMP(Chemical Mechanical Polishing)를 사용하여 상기 갭필 절연막을 상기 연마저지막 패턴(8)이 노출될 때까지 평탄화하여 상기 트렌치(10) 및 상기 하부 플로팅 게이트 라인(12) 사이에 갭필 절연막(12)을 잔류시킨다. 이와 같은 소자 격리 방법을 자기정렬된 얇은 트렌치 격리(Self-Aligned Shallow Trench Isolation, 이하, SA-STI)라고 한다. SA-STI는 고밀도의 셀 어레이(high density cell array)를 구현하는 방법으로써 종래의 STI(Shallow Trench Isolation) 공정의 코너가 얇아지는 문제(corner thinning) 및 덴트(dent)가 발생하는 문제를 해결할 수 있다.

- <32> 도 2c를 참조하면, 상기 갭필 절연막(12)이 형성된 기판 전면에는 인(P) 이온주입을 실시한다. 도면부호 '13'은 인(P)이 이온주입되는 것을 나타낸다. 상기 갭필 절연막(12)에는 CMP 공정에서 발생한 다량의 이동성 양이온을 함유할 수 있으며, 인접하는 하부 플로팅 게이트 라인(6)으로 양이온을 전달할 수가 있다. 따라서, 상기 갭필 절연막(12)에 인(P)으로 이온주입하여 양이온을 트랩(trap) 할 수있는 게더링층을 형성하여 플로팅 게이트의 전하 보존 성능을 증가시킬 수 있다. 인(P) 이온 주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하여 상기 갭필 절연막(12)에서의 이온주입 투사범위(Rp)가 상기 하부 플로팅 게이트 라인(6)의 인접부분에 위치하도록 한다.
- <33> 도 2d를 참조하면, 상기 연마저지막 패턴(8)을 제거하여, 상기 하부 플로팅 게이트 라인(6)을 노출시킨다.
- <34> 도 2e를 참조하면, 상기 하부 플로팅 게이트 라인(6) 및 상기 갭필 절연막(12) 상에 상부 플로팅 게이트 도전막(16) 및 하드마스크막(18)을 순서대로 적층한다. 상기 하드마스크막(18)은 실리콘 산화막, 실리콘 질화막, 탄화규소(SiC), 폴리실리콘, 금속 산화물, 금속 등으로 형성할 수 있다.
- <35> 도 2f를 참조하면, 상기 하드마스크막(18)을 통상의 사진 공정을 사용하여 상기 갭필 절연막(12) 상의 상기 상부 플로팅 게이트 도전막(16)이 노출될 때까지 패터닝한다. 상기 하드마스크막 패턴(18)이 형성된 기판 전면에서 스페이서 절연막을 적층하고, 이방성 건식식각하여 상기 하드마스크막 패턴(18)의 측벽에 스페이서(20)를 형성할 수 있다. 상기 스페이서(20)는 사진공정의 한계치수보다 더 작은 플로팅 게이트들간의 간격을 확보하기 위해서이다.

- <36> 도 2g를 참조하면, 상기 하드마스크막 패턴(18) 및 상기 하드마스크막 패턴의 측벽에 형성된 스페이서(20)를 식각마스크로 이용하여 상기 상부 플로팅 게이트 도전막(16)을 상기 갭필 절연막(12)을 노출될 때까지 선택적으로 식각하여 상부 플로팅 게이트 라인(16)을 형성한다. 상기 상부 플로팅 게이트 라인(16)은 도면에 도시한 바와 같이 y축에 평행한 라인이며, x축의 양단은 상기 갭필 절연막(12)과 일부 중첩(overlap)되어 있다.
- <37> 도 2h를 참조하면, 상기 하드마스크막 패턴(18) 및 상기 스페이서(20)를 제거한다. 상기 하부 플로팅 게이트 라인(6) 및 상부 플로팅 게이트 라인(16)은 평면적으로는 y축에 평행한 플로팅 게이트 라인(22)이 된다.
- <38> 도 2i를 참조하면, 상기 플로팅 게이트 라인(22) 및 상기 갭필 절연막(12) 상에 게이트간 절연막(28)을 형성한다. 상기 게이트간 절연막(28)은 ONO(Oxide-Nitride-Oxide)막으로 형성할 수 있다. 상기 게이트간 절연막(28)은 비휘발성 메모리 장치의 읽기쓰기의 효율을 위해서 중요한 역할을 하는 커플링비(coupling ratio)를 결정하게 된다. 따라서, 상기 플로팅 게이트 라인(22)을 하부 플로팅 게이트 라인(6) 및 상부 플로팅 게이트 라인(16)으로 형성함으로써 게이트간 절연막(28)의 표면적이 넓어지게 되며, 결국 상기 게이트간 절연막(28)의 캐패시턴스가 커지게 된다.
- <39> 상기 게이트간 절연막(28) 상에 도전막(30)을 적층한다. 상기 도전막(30)은 폴리실리콘으로 형성할 수 있다. 이어서, 상기 도전막(30)의 저항을 낮추기 위하여 상기 도전막(30)의 상면에 살리사이드(salicide) 공정을 진행하여 실리사이드막(32)을 형성할 수 있다. 상기 실리사이드막(32)은 코발트(Co) 실리사이드막, 티타늄(Ti) 실리사이드막, 니켈(Ni) 실리사이드막, 텅스텐(W) 실리사이드막, Pt(백금) 실리사이드막, Hf(하프늄) 실

리사이드막, Pd(팔라듐) 실리사이드막 중에서 선택된 어느 하나의 실리사이드막으로 형성할 수 있다.

<40> 도 2j를 참조하면, 통상의 사진식각 공정을 이용하여 상기 실리사이드막(32), 도전막(30), 게이트간 절연막(28), 및 플로팅 게이트 라인(22)을 상기 기판의 표면을 노출시킬 때까지 패터닝하여 워드라인(34) 및 플로팅 게이트(22)를 형성한다. 상기 워드라인(34)은 도면에 도시한 바와 같이 x축에 평행한 라인이 되며, 상기 워드라인(34)이 상기 플로팅 게이트(22)의 상면을 가로지르는 경우에는 콘트롤 게이트가 된다.

<41> 이어서, 도 1a를 참조하면, 상기 결과물에 마스크막 패턴(35)을 형성한다. 상기 마스크막 패턴(35) 및 상기 워드라인(34)을 식각마스크로 이용하여 상기 갭필 절연막(12)을 제거하여 인접하는 활성영역을 서로 연결하면서 동시에 섬(island) 형상의 필드영역(12)을 형성한다.

<42> 이어서, 상기 마스크막 패턴(35)을 제거하고 상기 워드라인(34) 및 상기 필드영역(12)을 이온주입 마스크로 이용하여 상기 워드라인(34)의 양 옆의 활성영역에 공통 소오스 영역(36) 및 드레인 영역(38)을 형성하여 비휘발성 메모리 장치를 완성한다. 기판 전면에 층간절연막(도면에는 도시되어 있지 않음)을 적층하고, 상기 드레인 영역(35)을 관통하는 콘택(40)을 형성한다. 상기 콘택(40)과 연결되며 상기 워드라인(34)과 수직한 비트라인(42)을 형성한다.

<43> 도 3 내지 도 5는 각각 본 발명의 제2, 3, 4 실시예에 따른 비휘발성 메모리 장치의 제조방법을 나타내는 단면도이다. 제2, 3, 4 실시예는 상술한 제1 실시예의 비휘발성 메모리 장치의 제조방법과 기본적으로 동일하다. 다만, 갭필 절연막에 인(P) 이온주입을 실시하는 단계를 달리한다.

- <44> 도 3은 본 발명의 제2 실시예를 나타내는 도면인데, 인(P) 이온주입을 상기 연마저지막 패턴(8)을 제거하여 상기 하부 플로팅 게이트 라인(6) 및 갭필 절연막(12)이 동시에 노출된 상태에서 실시하는 것을 특징으로 한다. 도면부호 '14'는 인(P)이 이온주입되는 것을 나타낸다. 인(P) 이온 주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하여 상기 갭필 절연막(12)에서의 이온주입 투사범위(Rp)가 상기 하부 플로팅 게이트 라인(6)의 인접부분에 위치하도록 한다.
- <45> 도 4는 본 발명의 제3 실시예를 나타내는 도면인데, 인(P) 이온주입을 상기 하드마스크막 패턴(18) 및 스페이서(20)를 형성한 후에 실시하는 것을 특징으로 한다. 또는, 상기 하드마스크막(18)을 패터닝한 후와 상기 스페이서(20)를 형성하기 전에 실시할 수 있다. 도면부호 '24'는 인(P)이 이온주입되는 것을 나타낸다. 인(P) 이온 주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하여 상기 갭필 절연막(12)에서의 이온주입 투사범위(Rp)가 상기 하부 플로팅 게이트 라인(6)의 인접부분에 위치하도록 한다.
- <46> 도 5는 본 발명의 제4 실시예를 나타내는 도면인데, 인(P) 이온주입을 상기 하드마스크막 패턴(18) 및 상기 스페이서(20)를 제거한 후에 실시하는 것을 특징으로 한다. 도면부호 '26'는 인(P)이 이온주입되는 것을 나타낸다. 인(P) 이온 주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하여 상기 갭필 절연막(12)에서의 이온주입 투사범위(Rp)가 상기 하부 플로팅 게이트 라인(6)의 인접부분에 위치하도록 한다.
- <47> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및

변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**【발명의 효과】**

- <48>       상기와 같이 이루어진 본 발명은, 트렌치의 갭필(gap-fill) 절연막에 인(P)을 이온 주입하여 트렌치 절연막으로부터 플로팅 게이트로 침투하는 이동성 양이온에 대한 게터링 효과를 높여 신뢰성이 있는 비휘발성 메모리 장치를 제조할 수 있다.
- <49>       또한, 본 발명은 기존 공정을 그대로 이용하면서도 트렌치 절연막에 이동성 양이온의 트랩 사이트(trap site)를 만들어 전하 보존 성능이 우수한 비휘발성 메모리 장치를 제조할 수 있다.



## 【특허청구범위】

## 【청구항 1】

기판 상에 서로 평행한 다수의 플로팅 게이트 라인들을 형성하는 단계;

상기 플로팅 게이트 라인들 사이의 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치 및 상기 플로팅 게이트 라인들 사이의 갭(gap)에 소자 분리를 위한 갭 필 절연막을 형성하는 단계;

상기 플로팅 게이트 라인 및 상기 갭필 절연막 상에 게이트간 절연막을 개재한 도전막을 형성하는 단계; 및

상기 도전막 및 상기 플로팅 게이트 라인을 패터닝하여 워드라인 및 상기 워드라인에 자기정렬된 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 장치의 제조 방법에서, 상기 갭핑 절연막 내에 이동성 양이온을 게더링하기 위하여 불순물을 이온주입하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

## 【청구항 2】

제 1 항에 있어서,

상기 불순물 이온 주입은 인(P)으로 하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

## 【청구항 3】

제 2 항에 있어서,

상기 불순물 이온주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 4】**

제 1 항에 있어서,

상기 불순물 이온주입은 이온주입의 투사범위( $R_p$ )는 상기 플로팅 게이트 라인의 인접부분에 위치하도록 하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 5】**

제 1 항에 있어서,

상기 갭필 절연막은 화학기상 증착법으로 형성한 산화막인 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 6】**

제 1 항에 있어서,

상기 워드라인에 인접한 상기 기판에 불순물을 이온주입하여 소오스 및 드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 7】**

기판 상에 터널 절연막을 개재한 하부 플로팅 게이트 라인 및 연마저지막 패턴을 형성하는 단계;

상기 하부 플로팅 게이트 라인들 사이의 기판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치 및 상기 하부 플로팅 게이트 라인들 사이의 갭(gap)에 소자 분리를 위한 갭필 절연막을 형성하는 단계;

상기 연마저지막 패턴을 제거하여 상기 하부 플로팅 게이트 라인의 표면을 노출시키는 단계;

상기 노출된 하부 플로팅 게이트 라인 및 상기 갭필 절연막 상에 상부 플로팅 게이트 도전막을 형성하는 단계;

상기 상부 플로팅 게이트 도전막 상에 라인 형태의 하드마스크 패턴을 형성하는 단계;

상기 하드마스크 패턴을 식각마스크로 이용하여 상기 상부 플로팅 게이트도전막을 상기 갭필 절연막이 노출될 때까지 식각하여 상기 하부 플로팅 게이트 라인 상에 상부 플로팅 게이트 라인을 형성하는 단계;

상기 하드마스크 패턴을 제거하는 단계;

상기 하부 플로팅 게이트 라인 및 상기 갭필 절연막 상에 게이트간 절연막을 형성하는 단계;

상기 게이트간 절연막 상에 도전막을 형성하는 단계; 및

상기 도전막과 상기 상부 및 하부 플로팅 게이트 라인을 패터닝하여 워드라인 및 상기 워드라인에 자기정렬된 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 장치의 제조방법에서, 상기 갭핑 절연막 내에 이동성 양이온을 게더링하기 위한 불순물을 이온주입하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 불순물 이온 주입은 인(P)으로 하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 9】**

제 7 항에 있어서,

상기 불순물 이온주입은 에너지가 100KeV 이하의 범위에서 도즈량은  $1.0 \times 10^{13}/\text{cm}^2$  이상이 되도록 조절하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 10】**

제 7 항에 있어서,

상기 불순물 이온주입은 이온주입의 투사범위(Rp)는 상기 하부 플로팅 게이트 라인의 인접부분에 위치하도록 하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 11】**

제 7 항에 있어서,

상기 불순물 이온주입은 상기 하부 플로팅 게이트 라인들 사이의 갭(gap)에 소자 분리를 위한 갭필 절연막을 형성한 후에 실시하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 12】**

제 7 항에 있어서,

상기 불순물 이온주입은 상기 연마저지막 패턴을 제거한 후에 실시하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 13】**

제 7 항에 있어서,

상기 불순물 이온주입은 상기 하드마스크막 패턴을 식각마스크로 이용하여 상기 상부 플로팅 게이트도전막을 상기 갭필 절연막이 노출될 때까지 식각하여 상기 하부 플로팅 게이트 라인 상에 상부 플로팅 게이트 라인을 형성하는 후에 실시하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 14】**

제 7 항에 있어서,

상기 불순물 이온주입은 상기 하드마스크막 패턴을 제거한 후에 실시하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 15】**

제 7 항에 있어서,

상기 하드마스크막 패턴의 측벽에는 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 16】**

제 7 항에 있어서,

상기 상부 플로팅 게이트 라인은 상기 갭필 절연막과 중첩(overlap) 되는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

**【청구항 17】**

제 7 항에 있어서,

상기 캡필 절연막은 화학기상 증착법으로 형성한 산화막인 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

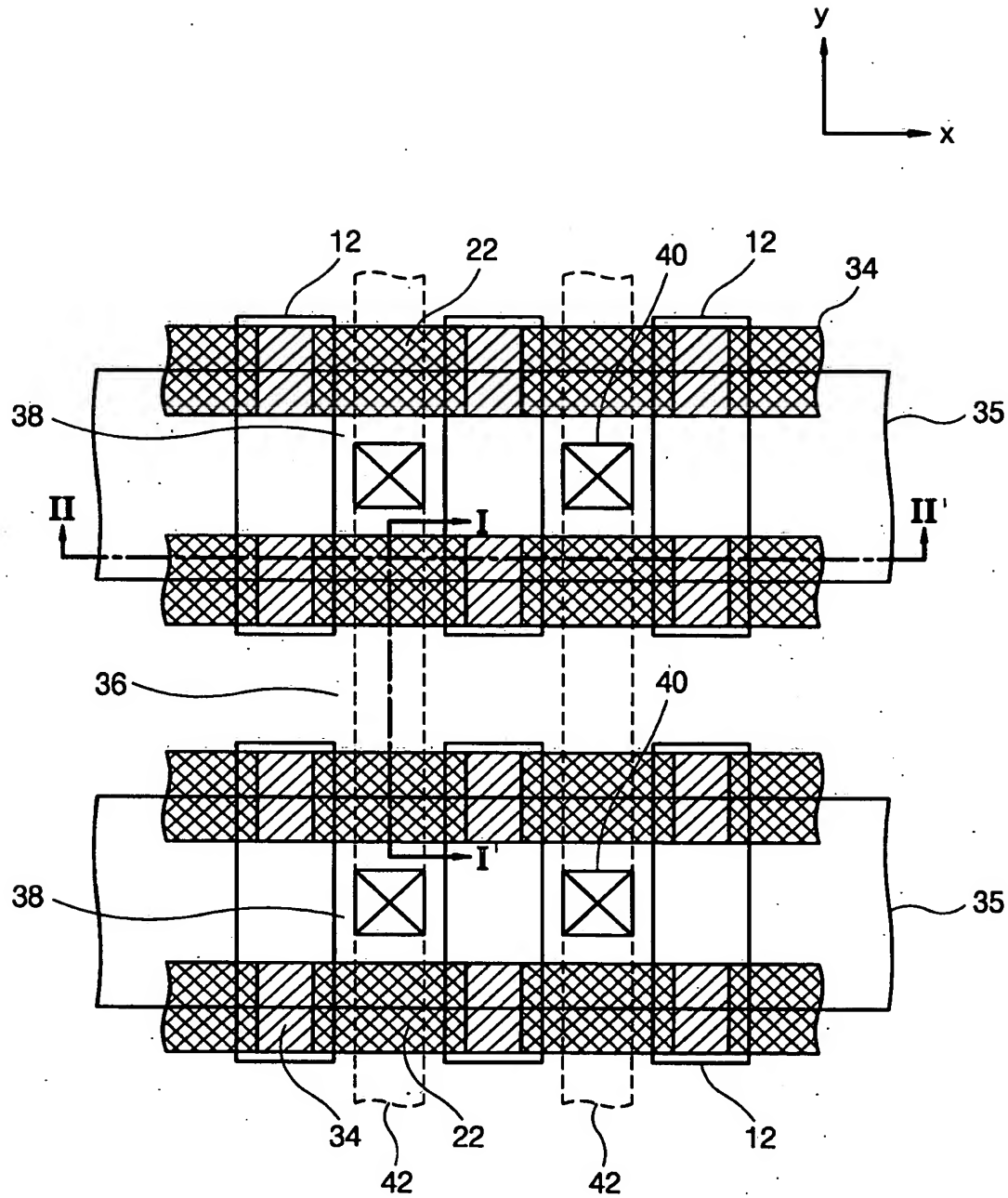
**【청구항 18】**

제 7 항에 있어서,

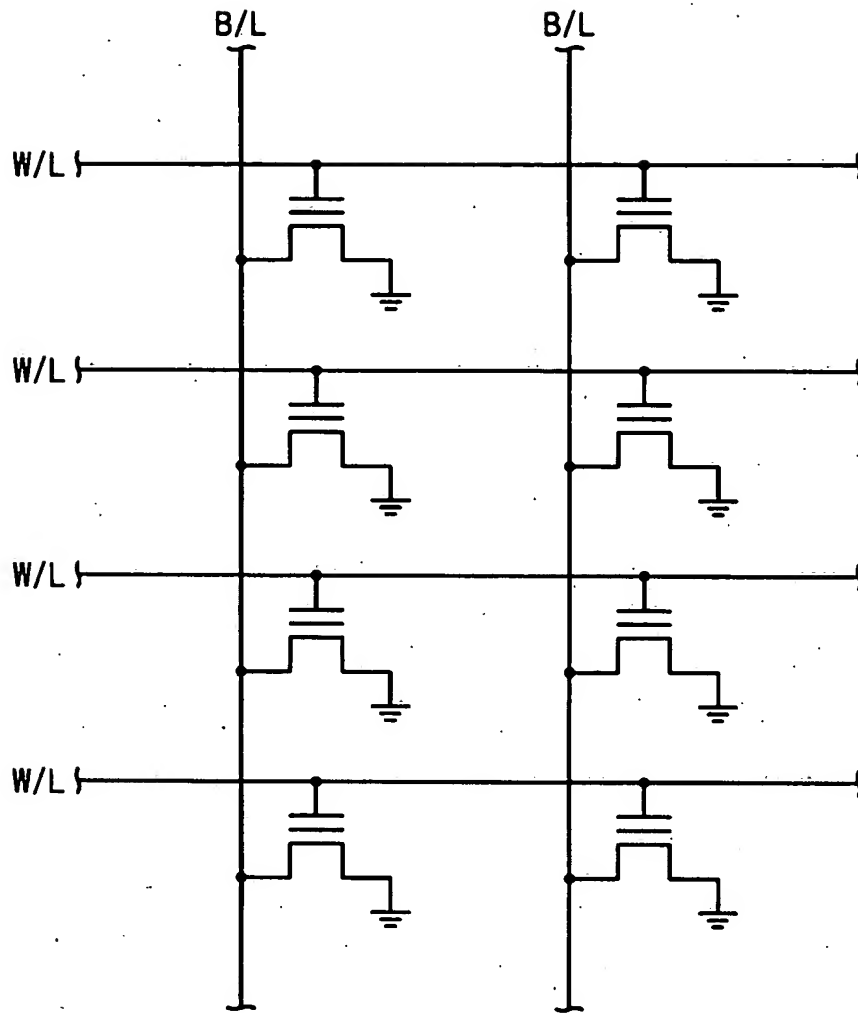
상기 워드라인에 인접한 상기 기판에 불순물을 이온주입하여 소오스 및 드레인 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 장치의 제조방법.

【도면】

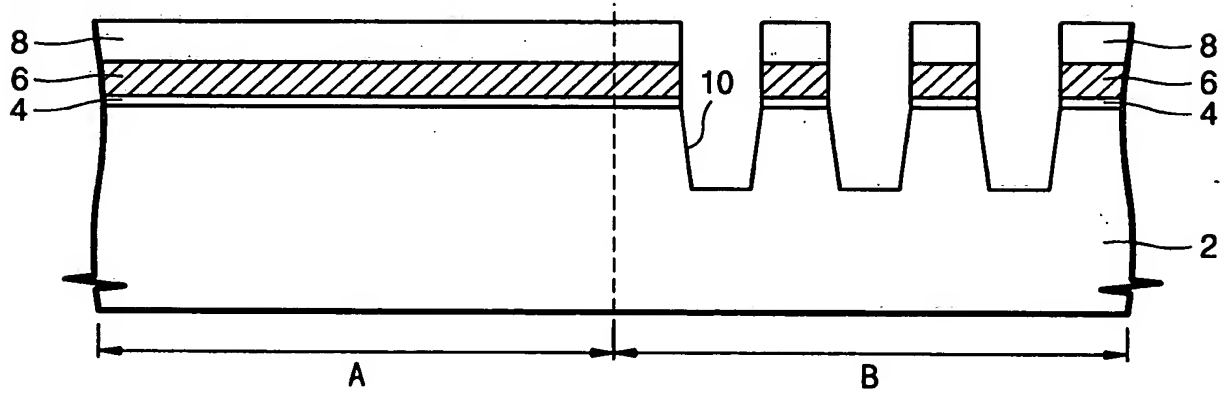
【도 1a】



【도 1b】

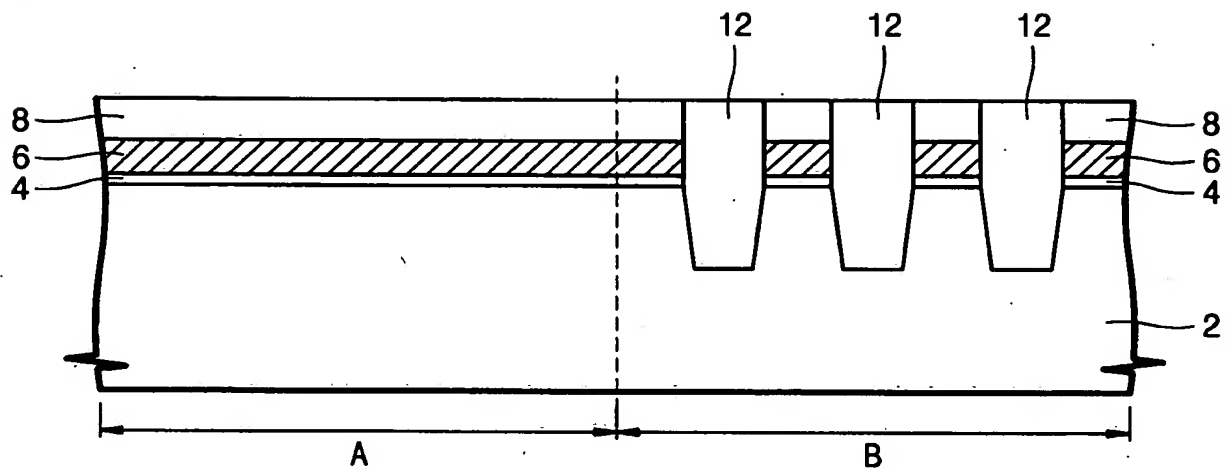


【도 2a】

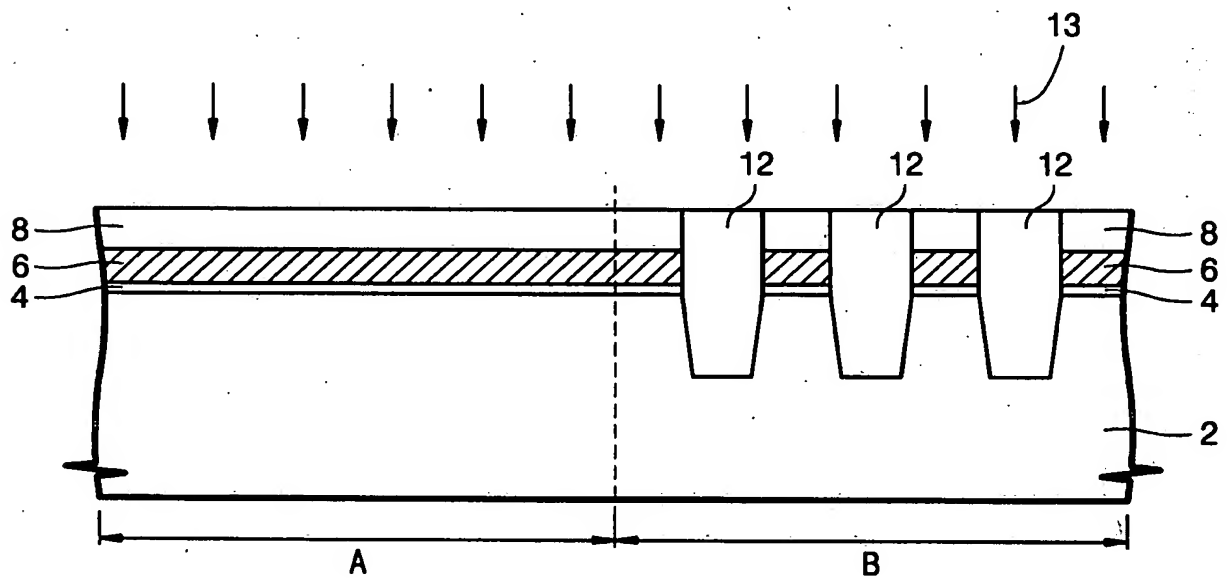




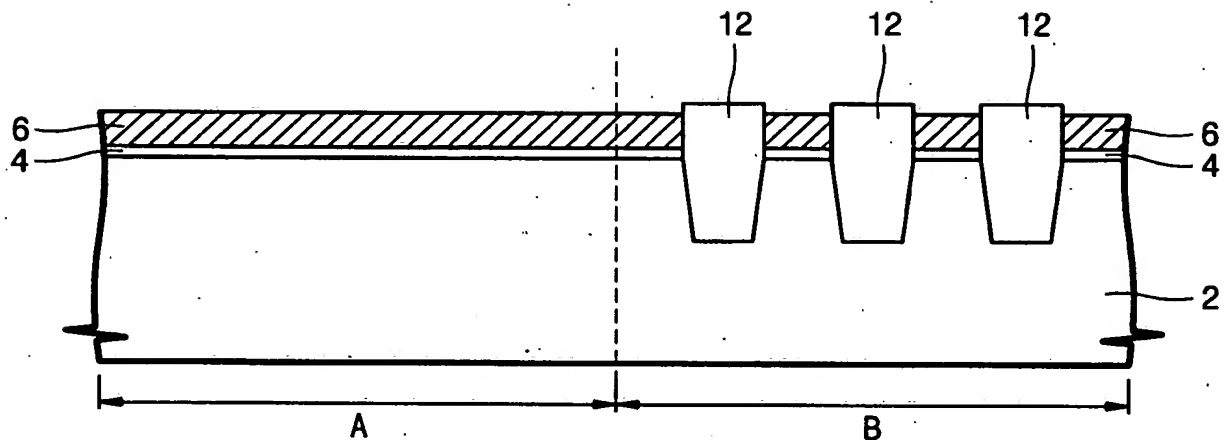
【도 2b】



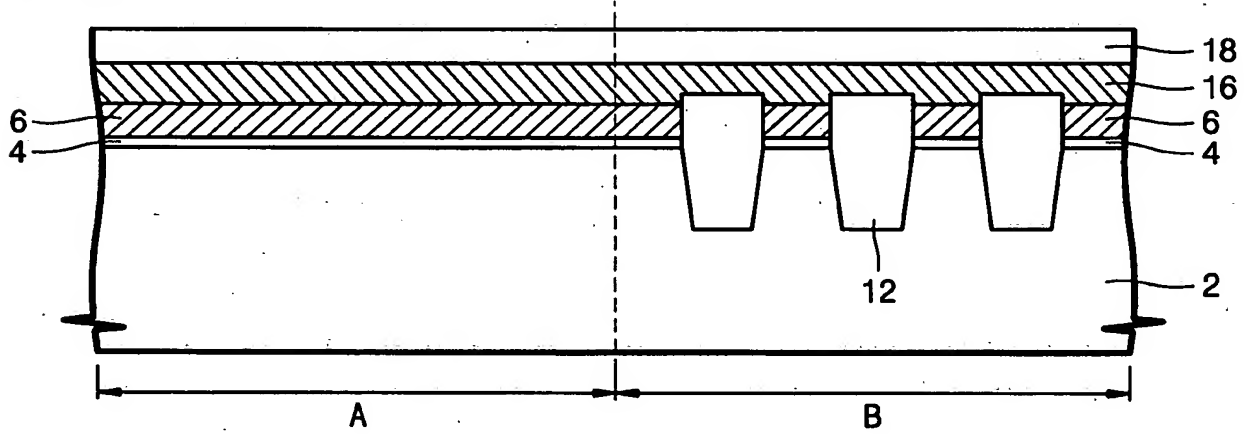
【도 2c】



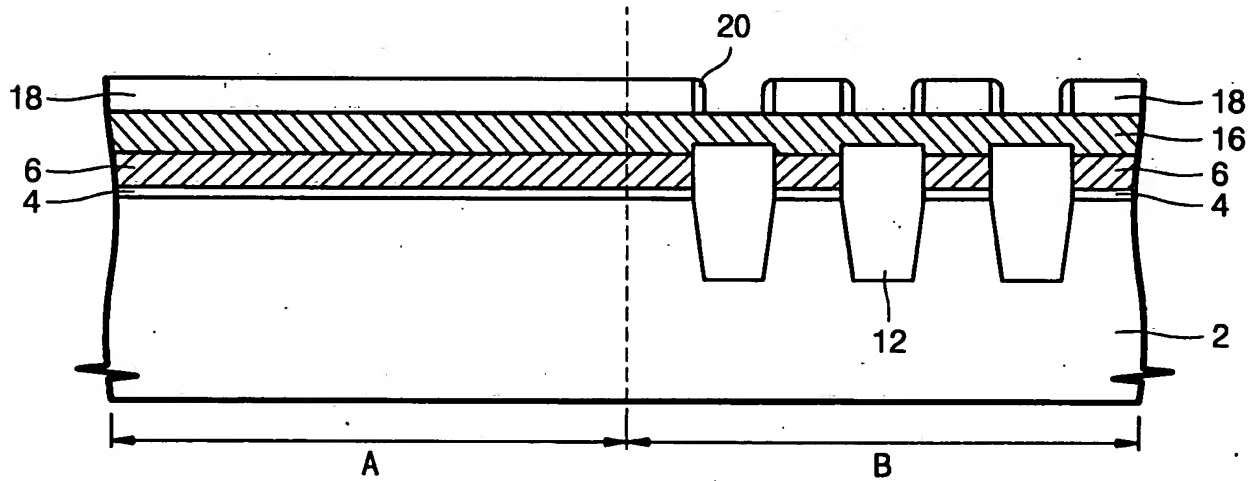
【도 2d】



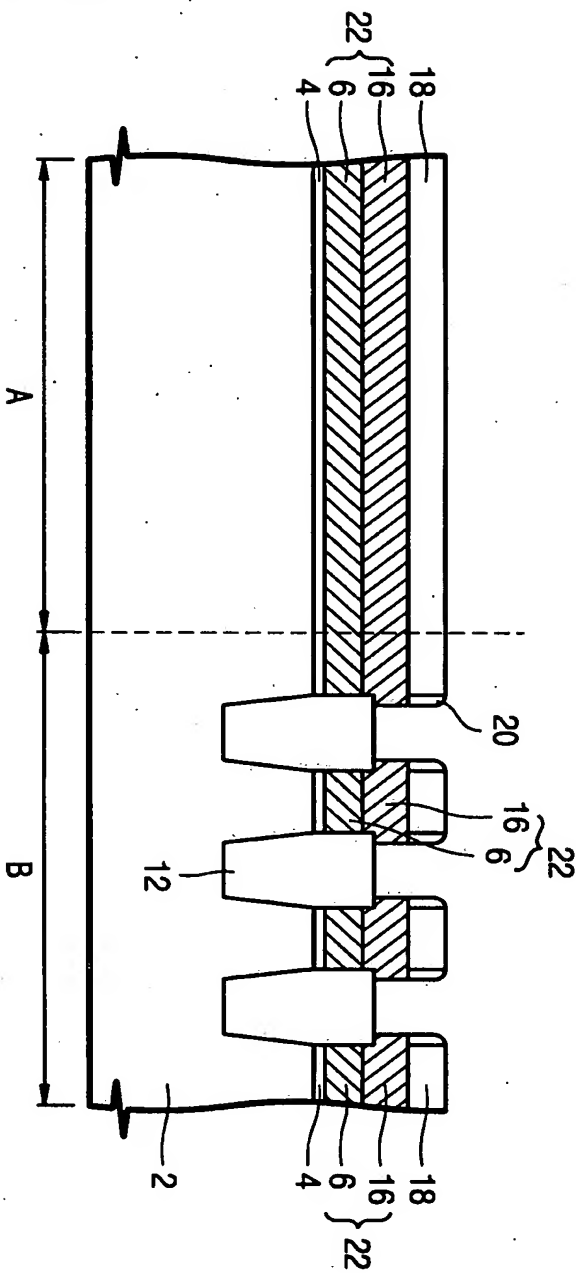
【도 2e】



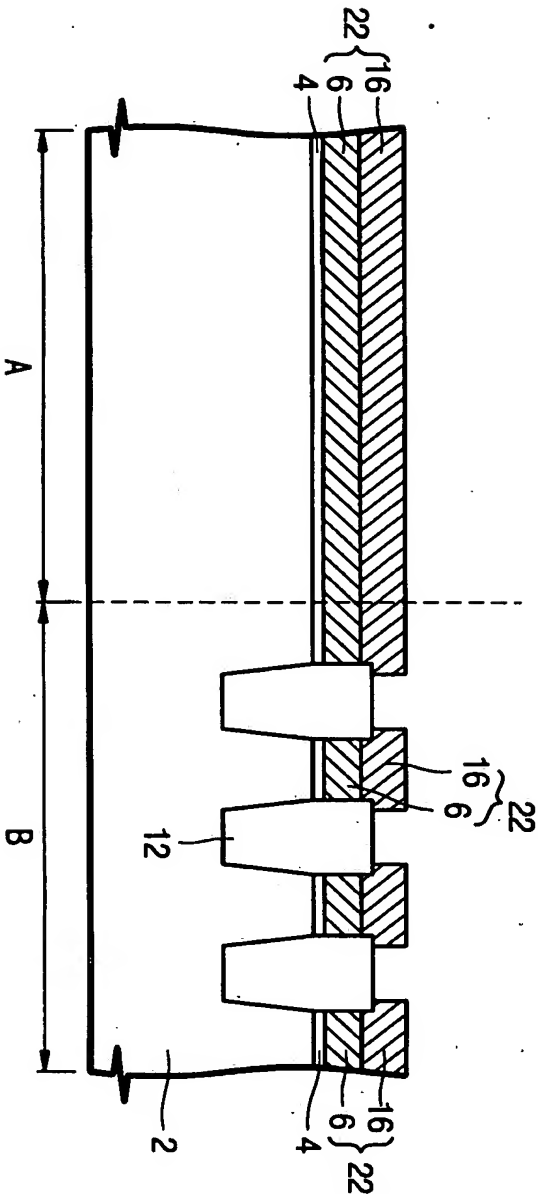
【도 2f】



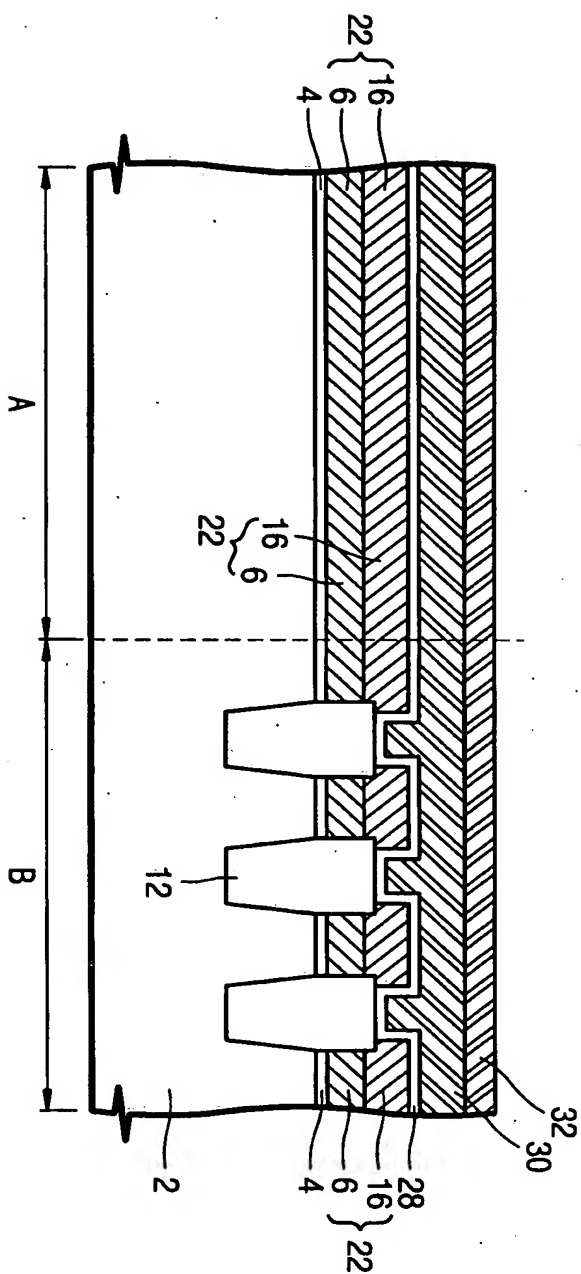
【도 2g】



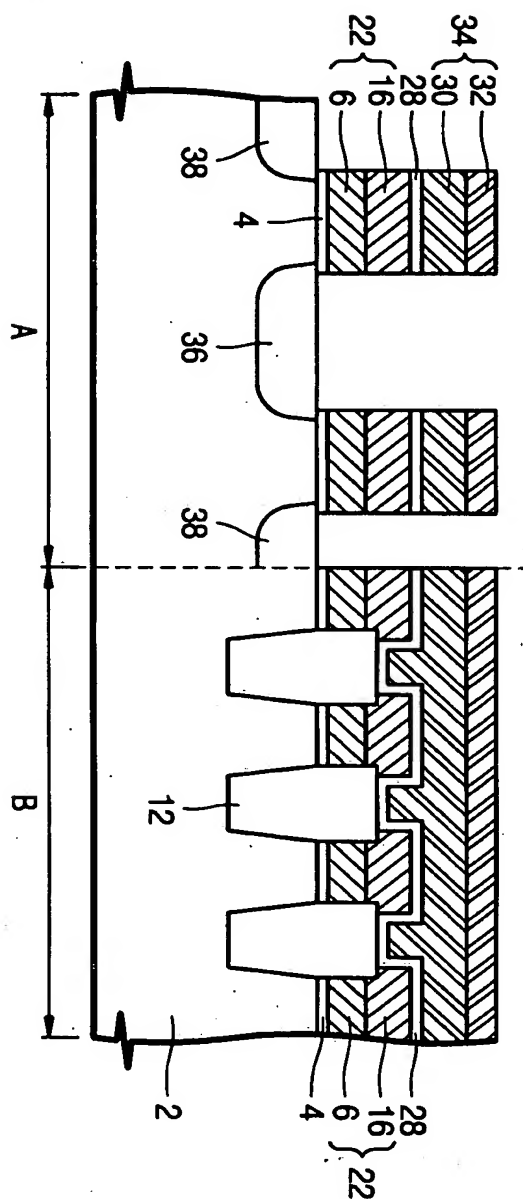
【도 2h】



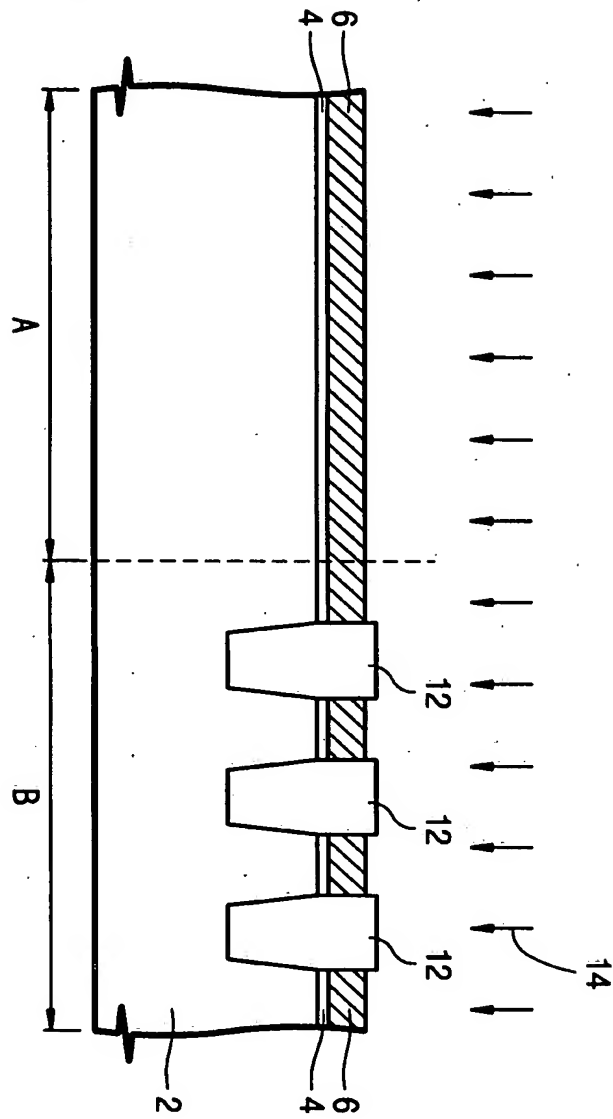
【도 2i】



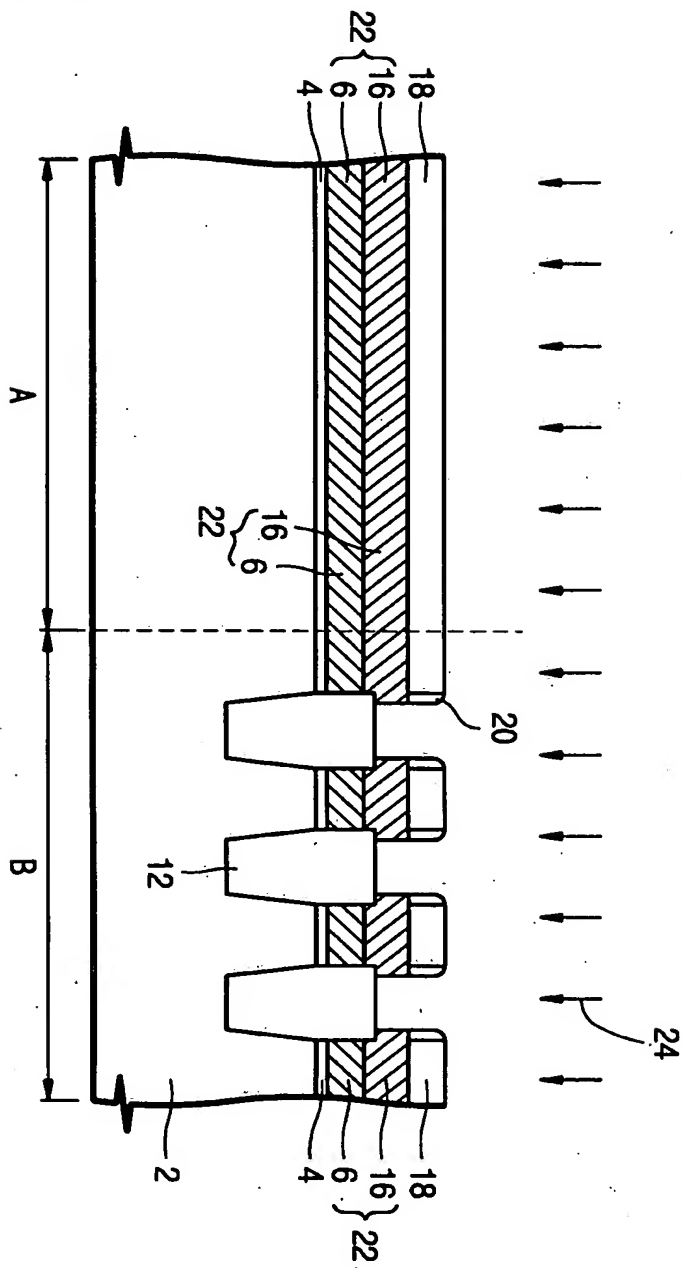
【도 2j】



【도 3】



【도 4】





【도 5】

